

一种宽频可编程频率合成器的设计实现

李 娜, 刘文平, 吴龙胜, 唐 威

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 设计了一种宽频率工作范围、可编程的频率合成器。引入自偏置的 DLL 结构及启动电路扩展系统频率范围, 消除误锁定, 在保证 DLL 系统稳定性及不改变系统锁定状态的基础上, 实现倍频器倍频因子的随意转换。同时使用两位寄存器配置初始电压, 保证系统的快速锁定。该频率合成器用 $0.13\ \mu\text{m}$ $1.8\ \text{V}$ CMOS 工艺实现, 工作频率范围为 $14\sim 700\ \text{MHz}$, 可供选倍频数为 1, 2, 4, 8。在输入时钟为 $50\ \text{MHz}$ 、倍频数为 8、输出时钟频率为 $400\ \text{MHz}$ 的工作频率下, 系统功耗为 $28.44\ \text{mW}$, 周期抖动约为 $9.8\ \text{ps}$ 。

关键词: 延迟锁相环; 频率综合器; 可编程倍频器; 宽频率工作范围

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2012)08-0149-05

Design of a Wide-Range Programmable Frequency Synthesizer

LI Na, LIU Wen-pin, WU Long-sheng, TANG Wei

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: A wide-range programmable frequency synthesizer is presented in this work. This frequency synthesizer uses self-biased DLL and a start-controlled circuit to enlarge the operating frequency range and eliminate harmonic locking problems. The programmable frequency-multiplied output can be quickly switched between $\times 1$, $\times 2$, $\times 4$ and $\times 8$ without affecting the lock state of the DLL. The Voltage Initial Selector is used to decrease the locking time. The proposed DLL frequency synthesizer, which has been realized in a CMOS 130-nm , can generate clock signal ranging from 14 to $700\ \text{MHz}$ at $1.8\ \text{V}$ supply. The total power dissipation is only $28.44\ \text{mW}$ and the cycle-to-cycle jitter is about 9.8-ps at $400\ \text{MHz}$.

Key words: DLL; frequency synthesizer; programmable frequency multiplier; wide-range

1 引言

随着大规模集成电路的发展, 微处理器的主频在逐年提高。但由于噪声干扰, 要得到一个稳定的高频时钟需要许多辅助的设计技术。延迟锁相环 (DLL) 具有锁定时间短、良好的系统稳定性、没有抖动积累、抗噪性能好等优点^[1-5], 使得 DLL 逐渐替代锁相环 (PLL) 被广泛应用于频率合成技术。但延迟锁相环存在错误锁定、倍频电路倍频数受限问题, 限制了工作频率范围。

针对 DLL 频率合成器工作频率范围窄的问题, 本文从三方面提出解决方案: ① 针对 DLL 系统稳定性问题研究一种自偏置技术的 DLL, 其系统环路

带宽跟随工作频率变化; ② 针对系统错误锁定问题提出启动电路, 拓宽 DLL 的锁定范围; ③ 针对倍频电路倍频受限, 研究一种倍频因子可选 ($\times 1$, $\times 2$, $\times 4$, $\times 8$) 的倍频电路。

2 系统结构设计

本文设计的基于 DLL 的频率合成器结构如图 1 所示, 包括鉴频鉴相器 (Phase and Frequency Detector, PFD)、电荷泵 (Charge Pump, CP)、压控延迟线 (Voltage Control Delay Line, VCDL)、偏置生成电路 (Bias Circuit)、启动电路 (Start Circuit)、倍频因子控制单元 (Multiplier Factor Controller)、倍频器 (Frequency Multiplier) 及初始电压选择器 (Ini-

行分析. 闭环的延迟锁相环的频率响应可以近似用连续时间模型(如图 3 所示)分析得到系统函数, 其中 K_{PD} 为鉴频鉴相器增益 $\frac{1}{2\pi}$, F_{REF} 为输入参考时钟频率(Hz), I_{CH} 为电荷泵电流(A), C_1 为滤波电容(F), K_{DL} 为压控延迟线增益(s/V):

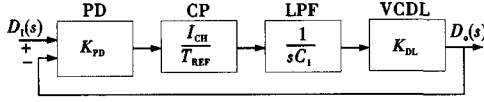


图 3 DLL 闭环线性模型

$$D_O(s) = (D_I(s) - D_O(s)) \cdot F_{REF} \cdot \frac{I_{CH}}{sC_1} \cdot K_{DL}$$

$$\frac{D_O(s)}{D_I(s)} = \frac{1}{1 + \frac{s}{W_N}}$$

整理上式得到系统带宽:

$$W_N = I_{CH} \cdot F_{REF} \cdot \frac{1}{C_1} \cdot K_{DL}$$

对称负载的等效电阻近似为偏置在 V_{bp} 的 PMOS 管的小信号电阻 $\frac{1}{g_m}$, 则有

$$t_d = R_{EFF} \cdot C_{EFF} = \frac{1}{g_m} \cdot C_{EFF}$$

由于偏置电路中放大器的作用使得对称负载中二极管连接的 PMOS 栅电压也为 V_{ctrl} , 因此对称负载中两个管子流过相同的电流 I_D .

$$I_D = \frac{k}{2} \cdot (V_{ctrl} - V_T)^2$$

$$g_m = k \cdot (V_{ctrl} - V_T) = \sqrt{2 \cdot k \cdot I_D}$$

$$T_d = N \cdot t_d = \frac{N \cdot C_{EFF}}{k \cdot (V_{ctrl} - V_T)}$$

对 T_d 求导得到

$$K_{DL} = \frac{dT_d}{dV_{ctrl}} = \frac{N \cdot C_{EFF}}{k \cdot (V_{ctrl} - V_T)^2} = \frac{C_B}{2 \cdot I_D}$$

C_B 为 $N \cdot C_{EFF}$, N 为延迟单元数. 设计电荷泵电路 $I_{CH} = x \cdot 2 \cdot I_D$, x 可以为任意数, 则得到系统带宽与工作频率的比值:

$$\begin{aligned} \frac{W_N}{W_{REF}} &= \frac{1}{W_{REF}} \cdot I_{CH} \cdot F_{REF} \cdot \frac{1}{C_1} \cdot K_{DL} \\ &= \frac{1}{2\pi} \cdot (x \cdot 2 \cdot I_D) \cdot \frac{C_B}{2 \cdot I_D} \cdot \frac{1}{C_1} \\ &= \frac{x}{2\pi} \cdot \frac{C_B}{C_1} \end{aligned}$$

上述分析可以看出, 这种自偏置结构的 DLL 系统带宽和工作频率的比值为常数, 只要取合适的 x 、 C_B 、 C_1 , 可以保证在给定的能达到的工作频率范围

内, 系统都是稳定的.

2.2 可编程的倍频器

本文使用的倍频器^[7]包含边沿检测(Transition Detector)、边沿组合(Edge Combiner)两部分, 结构如图 4 所示. 边沿检测由三个反相器跟一个三输入与非门组成, 其功能是检测输入时钟(clk_i)的上升沿, 并在每个(clk_i)的上升沿处, 产生一个负的时长为 3 个反相器延迟时间之和的短脉冲信号(k_i). 使能信号(S_i)接入三输入与非门用来调整倍频因子, 表 1 中给出了信号(S_i)与倍频因子的关系. 边沿组合包含反相器、对称与非门(Symmetric NAND)及脉冲翻转锁存器(Toggle Pulse Latch, TPL). 经过多级对称与门将所有短脉冲信号(k_i)相与到 TPL 的输入端, TPL 的输出在每个输入端的上升沿处发生信号翻转, 实现倍频功能.

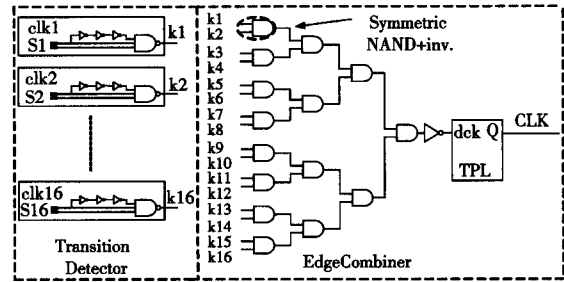


图 4 倍频器

表 1 倍频因子选择信号(MFSE)与倍频因子关系

MFSE<1;0>	S<16;1>	Mul. Factor
00	0000 0000 0000 0000	1
01	0001 0001 0001 0001	2
10	0101 0101 0101 0101	4
11	1111 1111 1111 1111	8

文献[7]介绍的 TPL 结构具有两点不足之处: 首先传输门在传输 D 端数据时总会损失掉一个阈值电压, 容易造成传输数据错误. 其次, 在传输低电平时, X 端接入了静态双稳态电路来锁存信号, 阻抗较大, 时间常数大, 因此 X 端放电速度缓慢, 信号 D 传输到 X 端会有很大失真.

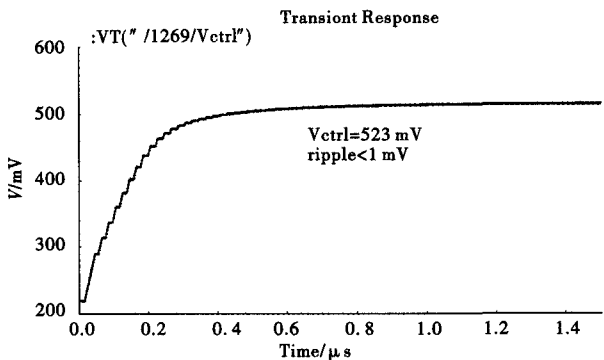


图 7 50 MHz * 8 VCDL 控制电压图

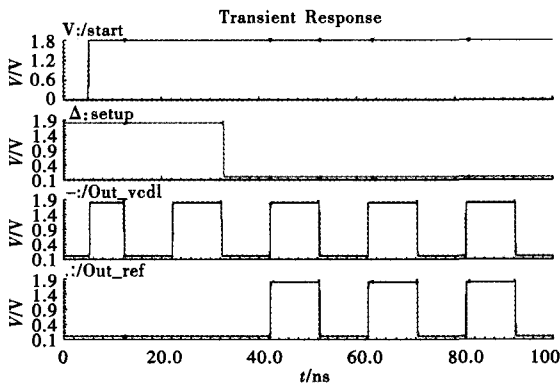


图 8 DLL 启动电路仿真波形

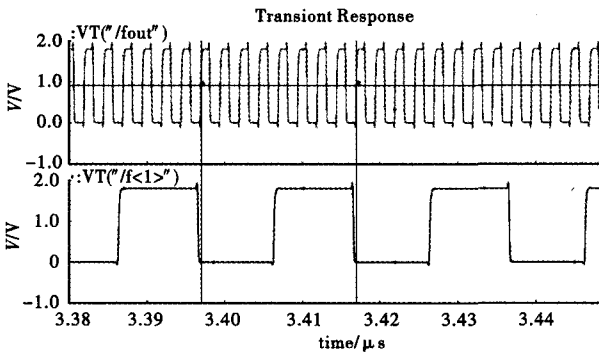


图 9 VCDL 输出与倍频输出

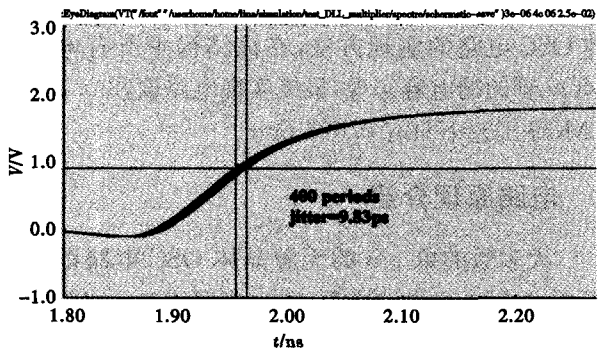


图 10 50 MHz * 8 倍频输出眼图
表 3 频率合成器的性能比较

工作频率	参考文献[10]	本文设计
最小值	200 MHz	14 MHz ($f_{ref}=14\text{ MHz}, M=1$)
最大值	500 MHz	700 MHz ($f_{ref}=87.5\text{ MHz}, M=8$)
电源电压	3.3 V	1.8 V
周期抖动	180 ps@DLL 400 MHz	9.8 ps@50 MHz * 8 (400 cycle)
占空比	N/A	49.3%@20 MHz * 8 48.2%@50 MHz * 8
功耗	66 mW	28.44 mW@50 MHz * 8
CMOS 工艺	0.5 μm CMOS	0.13 μm CMOS

4 结束语

针对传统的 DLL 存在的锁定范围窄,倍频数受限的问题,本文采用三种宽频技术拓宽系统工作频率.采用自偏置技术的 DLL 结构,整个系统的系统带宽可以跟随工作频率变化,使得闭环的 DLL 系统的工作频率范围仅仅由设计的 Buffer 电路决定,且具有较高的噪声抑制能力.加入了启动电路、初始电压选择电路及倍频数可选的电路,保证系统能工作的锁定频率范围为 14~700 MHz,同时避免了错误锁定.

参考文献:

[1] Chien G, Gray P R. A 900-MHz local oscillator using a DLL-based frequency multiplier technique for PCS applications [J]. IEEE Journal of Solid-State Circuits, 2000(35):1996-1999.

[2] Kim C, Hwang I C, Kang S M. A low-power small-area 7.28ps jitter 1 GHz DLL-based clock generator [J]. IEEE J Solid-State Circuits, 2002,37(11):1414-1420.

[3] Farjad-Rad R, Dally W, Ng H T. A low-power multiplier DLL for low-jitter multigigahertz clock generation in highly integrated digital chips [J]. IEEE J Solid-State Circuits, 2002,37(12):1804-1812.

[4] Tai-Cheng Lee, Keng-Jan Hsiao. The design and analysis of a DLL-based frequency synthesizer for UWB application[J]. IEEE J Solid-State Circuits, 2006, 41 (6):1245-1252.

(下转第 157 页)

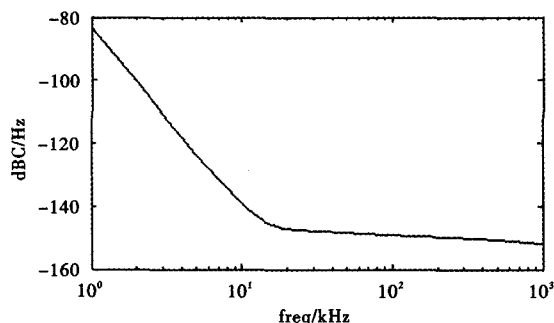


图 6 外接晶体模式下相位噪声曲线

图 7 所示为电路工作在外接激励模式情况下,外部输入正弦波,电路可产生占空比接近 50% 的方波。

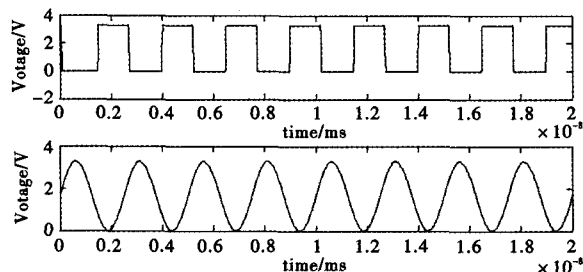


图 7 外接激励模式下瞬态仿真波形

5 结束语

本文介绍了一种应用于模拟卫星电视调谐器的单管脚的晶体 OSC 电路的实现方法,并实现了在外接晶体模式与外接正弦波激励两种模式下自由切

换。基于 0.18 μm CMOS 工艺下,电源电压为 3.3 V 情况下,外接 4M 晶体时起振时间需 600 μs 左右,功耗约为 2.9 mW,振荡稳定后,产生轨到轨正弦波,整体版图面积约为 0.023 mm^2 。

参考文献:

- [1] 陈红梅,徐静平,钟德刚. 一种低功耗高稳定性晶体振荡器芯片的设计 [J]. 微电子学与计算机, 2010, 27 (12): 105-108.
- [2] 曾建平. 石英晶体振荡器的集成化设计 [J]. 微电子学与计算机, 2009, 26(2): 30-32.
- [3] Willy M C Sansen. 陈莹梅, 译. 模拟集成电路设计精粹 [M]. 北京: 清华大学出版社, 2008.
- [4] Jone A T M Van den Homberg. A universal 0.33—mm one-pin crystal oscillator in CMOS [J]. IEEE J Sol Sta Circ, 1999, 34(7): 956-961.
- [5] Eric A VITTOZ. High performance crystal oscillator circuit: theory and application [J]. IEEE J Sol Sta Circ, 1988, 23(3): 774-783.
- [6] Robert J Matthys. Crystal oscillator circuits [M]. Krieger Publishing Company, 1991.
- [7] Geoff Trudgen. IC crystal oscillator circuits [EB/OL]. [2012-01-10]. <http://www.rakon.com/products/public%20Do>. RAKON UK Ltd, 2009.

作者简介:

邢云皓 女, (1987—), 硕士研究生. 研究方向为大规模集成电路设计。

(上接第 153 页)

- [5] Kyunghoon Chung, Jabeom Koo, Soo-Won Kim, et al. An anti-harmonic, programmable DLL-based frequency multiplier for dynamic frequency scaling [J]. IEEE Asian Solid-State Circuits Conference, 2007: 276-279.
- [6] 杨文荣, 姜伟阳. 一种基于高频时钟产生电路的 DLL 的研究 [J]. 微计算机信息, 2007(23): 2-12.
- [7] Jin-Han Kim, Young-Ho Kwak, Seok-Ryung Yoon, et al. A CMOS DLL-based 120MHz to 1.8GHz clock generator for dynamic frequency scaling [J]. IEEE J. Solid-State Circuits, 2006, 41(9): 516-614.
- [8] Chang H H, Lin J W, Yang C Y, et al. A wide-range delay-locked loop with a fixed latency of one clock cycle [J]. IEEE J Solid-State Circuits, 2002, 37(8): 1021-1027.
- [9] Kim CH. A 64—Mbit 640—Mbyte/s bidirectional data strobed, double-data-rate SDRAM with a 40—mW DLL

for a 256—Mbyte memory system [J]. IEEE J. Solid-State Circuits, 1998(33): 1703-1710.

- [10] Foley D J, Flynn M P. CMOS DLL-based 2—V 3.2—ps jitter 1GHz clock synthesizer clock synthesizer and temperature-compensated tunable oscillator [J]. IEEE J Solid-State Circuits, 2001(36): 417-423.

作者简介:

李娜 女, (1986—), 硕士. 研究方向为模拟集成电路设计。

刘文平 男, (1957—), 研究员. 研究方向为计算机与微电子技术性能结构。

吴龙胜 男, (1968—), 研究员. 研究方向为 SOC 设计。

唐威 男, (1974—), 博士研究生. 研究方向为超大规模集成电路。